



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Docket No: Q77473

Mitsuo BABA

Appln. No.: 10/659,364

Group Art Unit: Unknown

Confirmation No.: Unknown

Examiner: Unknown

Filed: September 11, 2003

For: DIGITAL CONTROL VARIABLE DELAY CIRCUIT WHICH IS HARDLY
SUSCEPTIBLE TO NOISE

SUBMISSION OF PRIORITY DOCUMENTS

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith are certified copies of the priority documents on which claims to
priority was made under 35 U.S.C. § 119. The Examiner is respectfully requested to
acknowledge receipt of said priority documents.

Respectfully submitted,

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

J. Frank Osha
Registration No. 24,625

WASHINGTON OFFICE

23373

CUSTOMER NUMBER

**Enclosures: Japan 2002-266552
Japan 2002-323821**

Date: December 18, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

M. Baba
10/659,364
Filed 9/11/2003
Q 77473
2 of 2

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 2 3 8 2 1
Application Number:

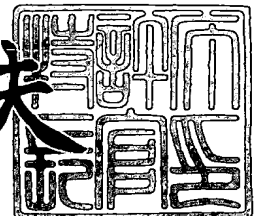
[ST. 10/C]: [J P 2 0 0 2 - 3 2 3 8 2 1]

出 願 人 日 本 電 気 株 式 有 限 公 司
Applicant(s):

2 0 0 3 年 7 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 5 9 6 6 5

【書類名】 特許願

【整理番号】 47500497

【提出日】 平成14年11月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H03L 7/18
H03K 5/151

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 馬場 光男

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100071272

【弁理士】

【氏名又は名称】 後藤 洋介

【選任した代理人】

【識別番号】 100077838

【弁理士】

【氏名又は名称】 池田 憲保

【先の出願に基づく優先権主張】

【出願番号】 特願2002-266552

【出願日】 平成14年 9月12日

【手数料の表示】

【予納台帳番号】 012416

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0018587

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デジタル制御可変遅延回路

【特許請求の範囲】

【請求項 1】 差動対で入力される略 $1/n$ 周期ずつ位相シフトされた n 組みのクロック信号の振幅をそれぞれ別途に入力される m ビットの n 系統のデジタル制御信号により $m+1$ 通り（但し、 n 及び m は何れも 2 以上の自然数とする）に可変させて差動対の振幅可変クロック信号として出力する n 個の振幅制御手段と、前記 n 個の振幅制御手段から差動対で出力される前記振幅可変クロック信号を加算合成した差動対の加算クロック信号を入力して波形整形した上で差動対の出力クロック信号として出力する波形整形手段とから成ることを特徴とするデジタル制御可変遅延回路。

【請求項 2】 請求項 1 記載のデジタル制御可変遅延回路において、前記 n 個の振幅制御手段は、差動対の負荷手段と、前記差動対のクロック信号が入力される差動対の N チャンネル MOS トランジスタと、一端側がそれぞれ接地接続された m 個の電流源と、前記デジタル制御信号がそれぞれ接触動作片に入力供給されて前記 m 個の電流源のオン／オフ制御を行う m 個のスイッチ手段とを備え、前記差動対の負荷手段及び前記差動対の N チャンネル MOS トランジスタの間から前記差動対の振幅可変クロック信号を取り出すように構成されたことを特徴とするデジタル制御可変遅延回路。

【請求項 3】 請求項 2 記載のデジタル制御可変遅延回路において、前記 n 個の振幅制御手段では、入力された前記デジタル制御信号に対する前記 m 個のスイッチ手段による前記 m 個の電流源のオン／オフ制御に応じて前記差動対の負荷手段を流れる電流値が可変することにより、前記差動対で入力されたクロック信号の出力振幅を前記 $m+1$ 通りとして前記差動対の振幅可変クロック信号を出力することを特徴とするデジタル制御可変遅延回路。

【請求項 4】 請求項 3 記載のデジタル制御可変遅延回路において、前記 n 個の振幅制御手段では、入力された前記デジタル制御信号が全てオフ状態あるときに前記差動対の振幅可変クロック信号における振幅が 0 となることを特徴とするデジタル制御可変遅延回路。

【請求項 5】 請求項 3 記載のデジタル制御可変遅延回路において、前記 n 個の振幅制御手段では、入力された前記デジタル制御信号の少なくとも何れかがオン状態であるときに前記差動対の振幅可変クロック信号における振幅が最大値 $\times 1/m \sim$ 最大値 $\times m/m$ の範囲となることを特徴とするデジタル制御可変遅延回路。

【請求項 6】 請求項 5 記載のデジタル制御可変遅延回路において、前記 n 個の振幅制御手段では、入力された前記デジタル制御信号が全てオン状態であるときに前記差動対の振幅可変クロック信号における振幅が最大値となることを特徴とするデジタル制御可変遅延回路。

【請求項 7】 請求項 2 ～ 6 の何れか一つに記載のデジタル制御可変遅延回路において、前記 n 個の振幅制御手段では、前記 m 個の電流源のサイズ比を回路全体における位相補間後の遅延量誤差が発生しないように設定していると共に、生成する前記デジタル制御信号の $n \times m$ 本のものにあつての $(m+1)$ 個のものがオンとなる状態が存在することを特徴とするデジタル制御可変遅延回路。

【請求項 8】 請求項 7 記載のデジタル制御可変遅延回路において、前記 m 個の電流源のサイズ比は、該 m 個の電流源にあつての電流量の比により得られることを特徴とするデジタル制御可変遅延回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、主として入力される位相シフトされた n 組みの差動対クロック信号の出力振幅を可変させて出力する複数の振幅制御手段を備えると共に、各振幅制御手段の全てを別途に入力されるデジタル制御信号により制御する回路構成のデジタル制御可変遅延回路に関する。

【0002】

【従来の技術】

従来、この種の一般的な可変遅延回路に導入可能な最新技術としては、例えば特表平 9-512965 号に開示された制限されないレンジを有する電圧制御位

相シフタが挙げられる。ここでは、多相化された複数の信号から隣接する 2 つの信号を選択し、それらの信号に対してインタポレータによりアナログ制御電圧に応じた重み付け加算を行うことで位相シフトした信号を出力するようになっている。

【0003】

因みに、可変遅延回路に関連するその他の一般的な技術としては、例えば特開昭 63-31214 号公報や特開平 6-152343 号公報に開示された可変遅延回路、特開平 9-214334 号公報に開示されたデジタル遅延補間回路、特開平 11-284497 号公報に開示されたプログラマブル遅延発生機およびこれを用いた応用回路等が挙げられる。

【0004】

【特許文献 1】

特表平 9-512965 号公報

【0005】

【特許文献 2】

特開昭 63-31214 号公報

【0006】

【特許文献 3】

特開平 6-152343 号公報

【0007】

【特許文献 4】

特開平 9-214334 号公報

【0008】

【特許文献 5】

特開平 11-284497 号公報

【0009】

【発明が解決しようとする課題】

上述した電圧制御位相シフタの場合、アナログ制御電圧により位相シフト量を決定する構成であるため、外部ノイズによる影響を受け易く、例えば電源ノイズ

等の外的要因の影響が大きい環境下ではアナログ制御電圧の値がノイズにより変動することで位相シフトした後の出力信号の位相も変動してしまうという問題がある他、2つの信号を選択する位相セクタと2つの信号を重み付け補間する位相インタポレータとをそれぞれ制御する必要があるために回路構成が複雑となってしまうばかりでなく、回路素子の製造バラツキや電源電圧、周囲温度等の変動によりアナログ制御電圧と位相シフト量とが一意に確定しないという精度上の問題もあるため、現状では可変遅延回路には適用し難いという問題がある。

【0010】

本発明は、このような問題点を解決すべくなされたもので、その技術的課題は、外部ノイズによる影響を受け難く、制御信号に対して一意に対応した遅延量を付加して1周期以上の任意な無限遅延量を確保し得る簡素な回路構成のデジタル制御可変遅延回路を提供することにある。

【0011】

【課題を解決するための手段】

本発明によれば、略 $1/n$ 周期ずつ位相シフトされた差動対で入力される n 組みのクロック信号の振幅をそれぞれ別途に入力される m ビットの n 系統のデジタル制御信号により $m+1$ 通り（但し、 n 及び m は何れも2以上の自然数とする）に可変させて差動対の振幅可変クロック信号として出力する n 個の振幅制御手段と、 n 個の振幅制御手段から差動対で出力される振幅可変クロック信号を加算合成した差動対の加算クロック信号を入力して波形整形した上で差動対の出力クロック信号として出力する波形整形手段とを備えたデジタル制御可変遅延回路が得られる。

【0012】

又、本発明によれば、上記デジタル制御可変遅延回路において、 n 個の振幅制御手段は、差動対の負荷手段と、差動対のクロック信号が入力される差動対の N チャンネル MOS トランジスタと、一端側がそれぞれ接地接続された m 個の電流源と、デジタル制御信号がそれぞれ接触動作片に入力供給されて m 個の電流源のオン／オフ制御を行う m 個のスイッチ手段とを備え、差動対の負荷手段及び差動対の N チャンネル MOS トランジスタの間から差動対の振幅可変クロック信

号を取り出すように構成されたデジタル制御可変遅延回路が得られる。

【0013】

更に、本発明によれば、上記デジタル制御可変遅延回路において、 n 個の振幅制御手段では、入力されたデジタル制御信号に対する m 個のスイッチ手段による m 個の電流源のオン／オフ制御に応じて差動対の負荷手段を流れる電流値が可変することにより、差動対で入力されたクロック信号の出力振幅を $m+1$ 通りとして差動対の振幅可変クロック信号を出力するデジタル制御可変遅延回路が得られる。

【0014】

加えて、本発明によれば、上記デジタル制御可変遅延回路において、 n 個の振幅制御手段では、入力されたデジタル制御信号が全てオフ状態であるときに差動対の振幅可変クロック信号における振幅が 0 となるデジタル制御可変遅延回路が得られる。

【0015】

一方、本発明によれば、上記デジタル制御可変遅延回路において、 n 個の振幅制御手段では、入力されたデジタル制御信号の少なくとも何れか一つがオン状態であるときに差動対の振幅可変クロック信号における振幅が最大値 $\times 1/m$ ～ 最大値 $\times m/m$ の範囲となるデジタル制御可変遅延回路が得られる。

【0016】

他方、本発明によれば、上記デジタル制御可変遅延回路において、 n 個の振幅制御手段では、入力されたデジタル制御信号が全てオン状態であるときに差動対の振幅可変クロック信号における振幅が最大値となるデジタル制御可変遅延回路が得られる。

【0017】

更に、本発明によれば、上記何れか一つのデジタル制御可変遅延回路において、 n 個の振幅制御手段では、 m 個の電流源のサイズ比を回路全体における位相補間後の遅延量誤差が発生しないように設定していると共に、生成するデジタル制御信号の $n \times m$ 本のものにあつての $(m+1)$ 個のものがオンとなる状態が存在するデジタル制御可変遅延回路が得られる。このデジタル制御可変遅延

回路において、 m 個の電流源のサイズ比は、該 m 個の電流源にあつての電流量の比により得られることは好ましい。

【0018】

【発明の実施の形態】

以下に本発明の実施の形態について、図面を参照して詳細に説明する。

【0019】

図1は、本発明の一つの実施の形態に係るデジタル制御可変遅延回路の基本構成を示した回路ブロック図である。このデジタル制御可変遅延回路は、略 $1/n$ 周期ずつ位相シフトされた差動対で入力される n 組みのクロック信号 $I_{N_1_P/N} \sim I_{N_n_P/N}$ の振幅をそれぞれ別途に入力される m ビットの n 系統のデジタル制御信号 ($SW_{1_1} \sim SW_{1_m}$) \sim ($SW_{n_1} \sim SW_{n_m}$) により $m+1$ 通り (但し、 n 及び m は何れも 2 以上の自然数とする) に可変させて差動対の振幅可変クロック信号として出力する n 個の振幅制御手段 $1-1-1 \sim 1-1-n$ と、 n 個の振幅制御手段 $1-1-1 \sim 1-1-n$ から差動対で出力される振幅可変クロック信号を加算合成した差動対の加算クロック信号 ($SIG_{P/N}$) を入力して波形整形した上で差動対の出力クロック信号 ($OUT_{P/N}$) として出力する波形整形手段 $1-2$ とを備えて成る。尚、図1中では振幅制御手段 $1-1-1$ のみに入力端子 I_{P} 、 I_{N} と出力端子 O_{P} 、 O_{N} とを示している。

【0020】

このうち、 n 個の振幅制御手段 $1-1-1 \sim 1-1-n$ では、入力されたデジタル制御信号 ($SW_{1_1} \sim SW_{1_m}$) \sim ($SW_{n_1} \sim SW_{n_m}$) が全てオフ状態であるときに差動対の振幅可変クロック信号における振幅が 0 となり、入力されたデジタル制御信号 ($SW_{1_1} \sim SW_{1_m}$) \sim ($SW_{n_1} \sim SW_{n_m}$) の何れか一つがオン状態であるときに差動対の振幅可変クロック信号における振幅が $\text{最大値} \times 1/m \sim \text{最大値} \times m/m$ の範囲となる。即ち、これにより入力されたデジタル制御信号 ($SW_{1_1} \sim SW_{1_m}$) \sim ($SW_{n_1} \sim SW_{n_m}$) が全てオン状態であるときには、差動対の振幅可変クロック信号における振幅が最大値となる。

【0021】

図2は、振幅制御手段1-1-1～1-1-nの細部構成を示した回路図である。振幅制御手段1-1-1～1-1-nは、差動対の負荷手段としての負荷抵抗2-1, 2-2と、差動対のクロック信号IN_P, IN_Nが入力される差動対のNチャンネルMOSトランジスタ2-3, 2-4と、一端側がそれぞれ接地接続されたm個の電流源2-6-1～2-6-mと、接触動作片にそれぞれデジタル制御信号（ここではスイッチ動作制御信号を示す）SW_1～SW_mが入力されてm個の電流源2-6-1～2-6-mのオン／オフ制御を行うm個のスイッチ手段2-5-1～2-5-mとを備え、差動対の負荷抵抗2-1, 2-2及び差動対のNチャンネルMOSトランジスタ2-3, 2-4の間（即ち、負荷抵抗2-1及びNチャンネルMOSトランジスタ2-3の間と負荷抵抗2-2及びNチャンネルMOSトランジスタ2-4の間とを示す）から差動対の振幅可変クロック信号（出力信号）OUT_N, OUT_Pを取り出すように回路構成されている。

【0022】

即ち、振幅制御手段1-1-1～1-1-nでは、このような回路構成において、入力されたデジタル制御信号SW_1～SW_mに対するm個のスイッチ手段2-5-1～2-5-mによるm個の電流源2-6-1～2-6-mのオン／オフ制御に応じて差動対の負荷抵抗2-1, 2-2を流れる電流値が可変することにより、差動対で入力されたクロック信号IN_P, IN_Nの振幅をm+1通りとして差動対の振幅可変クロック信号（出力信号）OUT_N, OUT_Pを出力する。但し、ここでデジタル制御信号SW_1～SW_mが全部オフ状態であれば差動対の振幅可変クロック信号（出力信号）OUT_N, OUT_Pにおける振幅は0となるが、全部オン状態であれば差動対の振幅可変クロック信号（出力信号）OUT_N, OUT_Pにおける振幅は最大値となる。

【0023】

以下は、再度図1を参照して全体の回路動作を説明する。n個の振幅制御手段1-1-1～1-1-nにおいて、これらを制御するためのn×m本のデジタル制御信号（SW_1_1～SW_1_m）～（SW_n_1～SW_n_m）

は、図3に示されるように、連続する m 本がオン状態であり、それ以外の $m \times (n - 1)$ 本がオフ状態となって状態推移する。

【0024】

状態Aは、1番目の振幅制御手段1-1-1に対するデジタル制御信号 $SW_{1-1} \sim SW_{1-m}$ がオン状態で、それ以外がオフ状態である場合を示している。この場合、振幅制御手段1-1-1からの出力信号（差動対の振幅可変クロック信号）は最大振幅となり、それ以外の振幅制御手段1-1-2～1-1- n からの出力信号（差動対の振幅可変クロック信号）は0となる。これらを加算した差動対の加算クロック信号 $SIG_{P/N}$ は、結果として振幅制御手段1-1-1からの出力信号（差動対の振幅可変クロック信号）そのものとなる。

【0025】

状態Bは、1番目の振幅制御手段1-1-1に対するデジタル制御信号 $SW_{1-2} \sim SW_{1-m}$ の $m-1$ 個と2番目の振幅制御手段1-1-2に対するデジタル制御信号 SW_{2-1} の1個とがオン状態であり、それ以外がオフ状態である場合を示している。この場合、振幅制御手段1-1-1からの出力信号（差動対の振幅可変クロック信号）は最大振幅 $\times (m-1)/m$ 、振幅制御手段1-1-2からの出力信号（差動対の振幅可変クロック信号）は最大振幅 $\times 1/m$ となり、それ以外の振幅制御手段1-1-3～1-1- n からの出力信号（差動対の振幅可変クロック信号）は0となる。これらを加算した差動対の加算クロック信号 $SIG_{P/N}$ は、結果として振幅制御手段1-1-1と振幅制御手段1-1-2との入力位相をほぼ $(m-1):1$ に分割する位相のものとなる。

【0026】

同様に、状態Cは $(m-2):2$ に分割する位相のものとなる場合であり、状態Dには n 番目の振幅制御手段1-1- n と1番目の振幅制御手段1-1-1とで位相加算する場合を示しているが、 n 番目と1番目とは連続した位相として扱うことが可能となる。

【0027】

状態 $A \rightarrow B \rightarrow C \rightarrow \dots \rightarrow D \rightarrow A \rightarrow \dots$ 、或いは状態 $C \rightarrow B \rightarrow A \rightarrow D \rightarrow \dots$ と制御すれば、差動対で入力されたクロック信号 $IN_{1-P/N} \sim IN_{n-P/N}$ の振

幅を略等間隔に $1/(m \times n)$ 周期ずつ位相シフトした $m \times n$ 通りの可変遅延を行って出力信号（差動対の振幅可変クロック信号）として出力することができ、 n 番目、1 番目の振幅制御手段 $1-1-n$ 、 $1-1-1$ は連続な振る舞いを行うことから、無限の遅延量を確保することができる。このような位相シフト量は、デジタル制御信号（ $SW_1_1 \sim SW_1_m$ ） \sim （ $SW_n_1 \sim SW_n_m$ ）に対して一意に決定するものである。

【0028】

$n=4$ 、 $m=4$ の場合を例として詳細な動作を説明すれば、この場合にはクロック 1 周期に対して $4 \times 4 = 16$ 通りの可変遅延を実現する構成となる。 $n=4$ 、 $m=4$ の場合、デジタル制御可変遅延回路は図 4 に示すような構成となり、差動対で入力されるクロック信号 $IN_1_P/N \sim IN_4_P/N$ は図 5 に示される特性図（角度に対する振幅を示す）のようにそれぞれほぼ 90 度ずつシフトした位相関係となる。又、この場合の 4×4 本のデジタル制御信号（ $SW_1_1 \sim SW_1_4$ ） \sim （ $SW_2_1 \sim SW_2_4$ ）は図 6 に示すように連続した 4 つのものがオンとなって状態推移する。

【0029】

図 7 は、ここでの状態 1～5 のそれぞれについて入力されるクロック信号（その一部） IN_1_P 、 IN_2_P と加算後の加算クロック信号（その一部） SIG_P との関係を示した特性図（角度に対する振幅を示す）である。

【0030】

ここでの状態 1～5 を説明すれば、状態 1 の場合、加算クロック信号 SIG_P にはクロック信号 IN_1_P がそのまま出力された状態となる。

【0031】

状態 2 の場合、加算クロック信号 SIG_P は数 1 式で示されるような状態になる。

【0032】

【数1】

$$\begin{aligned}\frac{3}{4} \cos x + \frac{1}{4} \sin x &= \sqrt{\left(\frac{3}{4}\right)^2 + \left(\frac{1}{4}\right)^2} \cos(x + 18.4^\circ) \\ &= \sqrt{\frac{5}{8}} \cos(x + 18.4^\circ)\end{aligned}$$

即ち、この加算クロック信号SIG_Pでは、理想的な90度×1/4=22.5度とほぼ等しい位相が得られる。

【0033】

状態3の場合、加算クロック信号SIG_Pは数2式で示されるような状態になる。

【0034】

【数2】

$$\begin{aligned}\frac{2}{4} \cos x + \frac{2}{4} \sin x &= \sqrt{\left(\frac{2}{4}\right)^2 + \left(\frac{2}{4}\right)^2} \cos(x + 45^\circ) \\ &= \sqrt{\frac{1}{2}} \cos(x + 45^\circ)\end{aligned}$$

即ち、この加算クロック信号SIG_Pでは、理想的な90度×2/4=45度と等しい位相が得られる。

【0035】

状態4の場合、加算クロック信号SIG_Pは数3式で示されるような状態になる。

【0036】

【数3】

$$\begin{aligned}\frac{1}{4} \cos x + \frac{3}{4} \sin x &= \sqrt{\left(\frac{1}{4}\right)^2 + \left(\frac{3}{4}\right)^2} \cos(x + 71.6^\circ) \\ &= \sqrt{\frac{5}{8}} \cos(x + 71.6^\circ)\end{aligned}$$

即ち、この加算クロック信号SIG__Pでは、理想的な $90^\circ \times 3/4 = 67.5^\circ$ とほぼ等しい位相が得られる。

【0037】

状態5の場合、加算クロック信号SIG__Pにはクロック信号IN__2__Pがそのまま出力された状態となる。

【0038】

ところで、一般に上述した $n \times m$ 本のデジタル制御信号(SW__1__1～SW__1__m)～(SW__n__1～SW__n__m)は、切り替え時に $(m+1)$ 個のものがオンとなる状態が存在すること、即ち、換言すれば $(m-1)$ 個のものにおいてオン状態が存在しないことにより、デジタル制御可変遅延回路全体での電流量の減少を回避することができ、その結果として出力振幅及び駆動能力が安定するようになる。

【0039】

図8は、図4に示すデジタル制御可変遅延回路にあつての電流量の減少を回避可能な 4×4 本のデジタル制御信号(SW__1__1～SW__1__4)～(SW__2__1～SW__2__4)の状態推移に伴う信号波形図を例示したものである。

【0040】

ここでは、 $n=4$ 、 $m=4$ の場合のデジタル制御可変遅延回路にあつて、状態1で4個のデジタル制御信号(SW__1__1～SW__1__4)がオン[4個(m 個)オンを示す]となっており、状態1から状態2への切り替え時の特定のタイミングで1個のデジタル制御信号SW__2__1を加えた総計5個のものがオン[5個($m+1$ 個)オンを示す]となり、状態2へ切り替わった時点で同様に4個のデジタル制御信号(SW__1__2～SW__1__4, SW__2__1)がオン[4個(m 個)オンを示す]となっており、状態2から状態3への切り替え時の特定のタイミングで1個のデジタル制御信号SW__2__2を加えた総計5個のものがオン[5個($m+1$ 個)オンを示す]となり、やがては状態3で4個のデジタル制御信号(SW__1__3, SW__1__4, SW__2__1, SW__2__2)がオン[4個(m 個)オンを示す]となることを示している。

【0041】

図9は、図8に示すデジタル制御信号を生成可能な振幅制御手段の細部構成を示した回路図である。

【0042】

ここでの振幅制御手段1-1-1～1-1-4は、図2で説明した回路構成で $n=4$ 、 $m=4$ の場合に該当するが、図8で説明したようなデジタル制御信号を生成するためには、電流源6-1-1～6-1-4のサイズ（電流量）の比を位相補間後の遅延量誤差が発生しないように、例えば $(6-1-1:6-1-2:6-1-3:6-1-4) = (1.4:1.0:1.0:1.4)$ として設定すれば良い。

【0043】**【発明の効果】**

以上に述べた通り、本発明のデジタル制御可変遅延回路によれば、位相シフトされた差動対で入力される n 組みのクロック信号の振幅を可変させて出力する n 個（複数）の振幅制御手段の全てを別途に入力されるデジタル制御信号により制御する回路構成〔各振幅制御手段の電流源のサイズ（電流量）の比を位相補間後の遅延量誤差が発生しないように設定することが一層好ましい〕とすると共に、これらの各振幅制御手段から差動対で得られる振幅可変クロック信号を加算合成した差動対の加算クロック信号を波形整形手段により波形整形した上で差動対の出力クロック信号を出力する回路構成としているので、非常に簡素な回路構成で外部ノイズによる影響を受け難く、しかもデジタル制御信号に対して一意に対応した遅延量を付加することができ、しかもデジタル制御信号を連続して変化させることで1周期以上の無限遅延量を確保することができるようになる。

【図面の簡単な説明】**【図1】**

本発明の一つの実施の形態に係るデジタル制御可変遅延回路の基本構成を示した回路ブロック図である。

【図2】

図1に示すデジタル制御可変遅延回路に備えられる振幅制御手段の細部構成

を示した回路図である。

【図 3】

図 2 で説明した振幅制御手段に入力される $n \times m$ 本のデジタル制御信号の状態推移を例示した模式図である。

【図 4】

図 1 に示すデジタル制御可変遅延回路の具体的構成を例示した回路ブロック図である。

【図 5】

図 4 に示すデジタル制御可変遅延回路に備えられる振幅制御手段に入力されるクロック信号の特性を示した図である。

【図 6】

図 4 に示すデジタル制御可変遅延回路に備えられる振幅制御手段に入力される 4×4 本のデジタル制御信号の状態推移を例示した模式図である。

【図 7】

図 6 に示すデジタル制御信号の状態 1 ～ 5 のそれぞれについて入力されるクロック信号と加算後の加算クロック信号との関係を示した特性図である。

【図 8】

図 4 に示すデジタル制御可変遅延回路にあつての電流量の減少を回避可能な 4×4 本のデジタル制御信号の状態推移に伴う信号波形図を例示したものである。

【図 9】

図 8 に示すデジタル制御信号を生成可能な振幅制御手段の細部構成を示した回路図である。

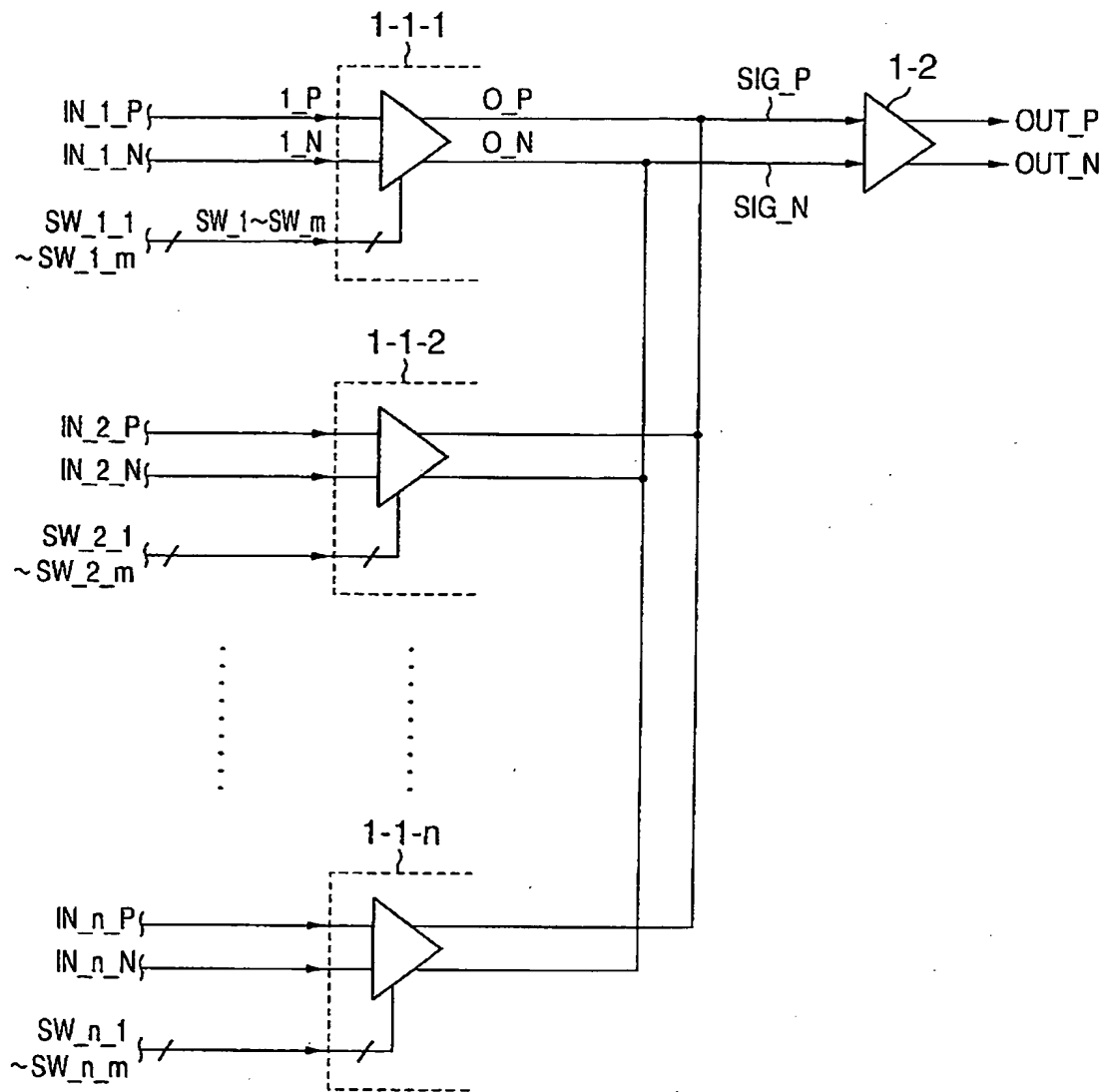
【符号の説明】

- 1-1-1 ～ 1-1-n 振幅制御手段
- 1-2 波形整形手段
- 2-1, 2-2 負荷抵抗
- 2-3, 2-4 NチャンネルMOSトランジスタ
- 2-6-1 ～ 2-6-m 電流源

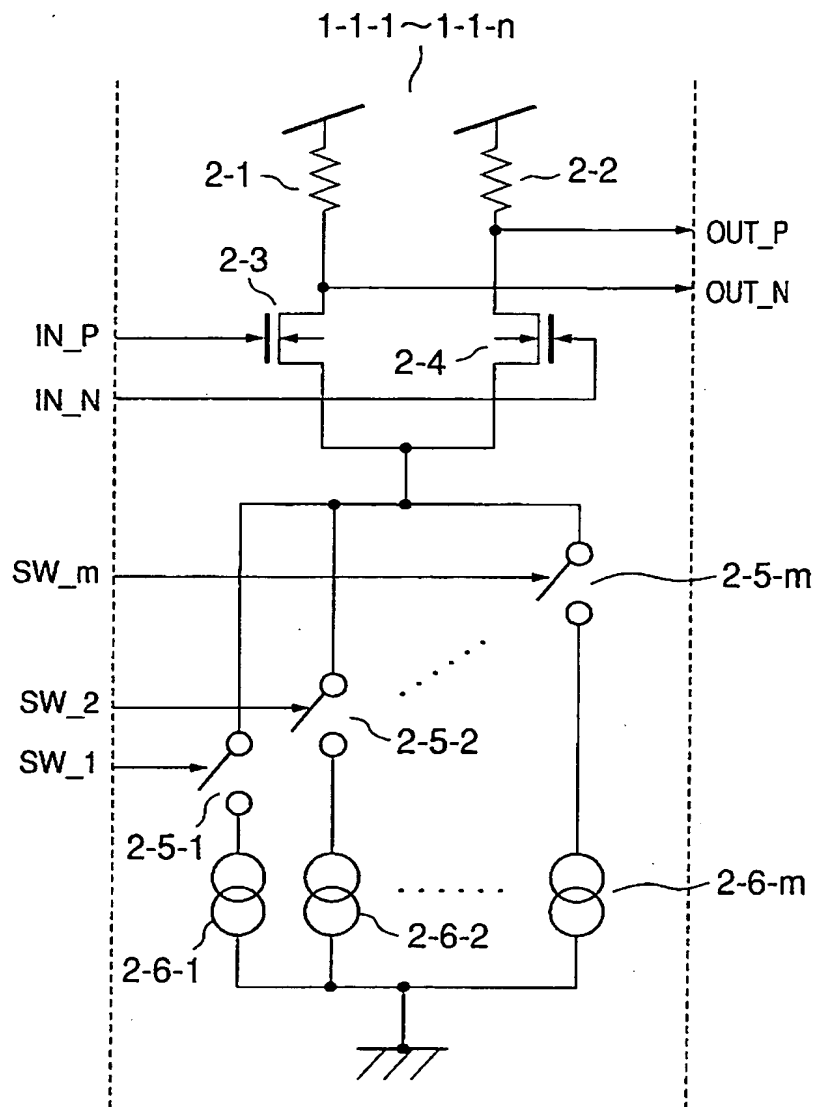
2 - 5 - 1 ~ 2 - 5 - m スイッチ手段

【書類名】 図面

【図 1】



【図 2】



【図 3】

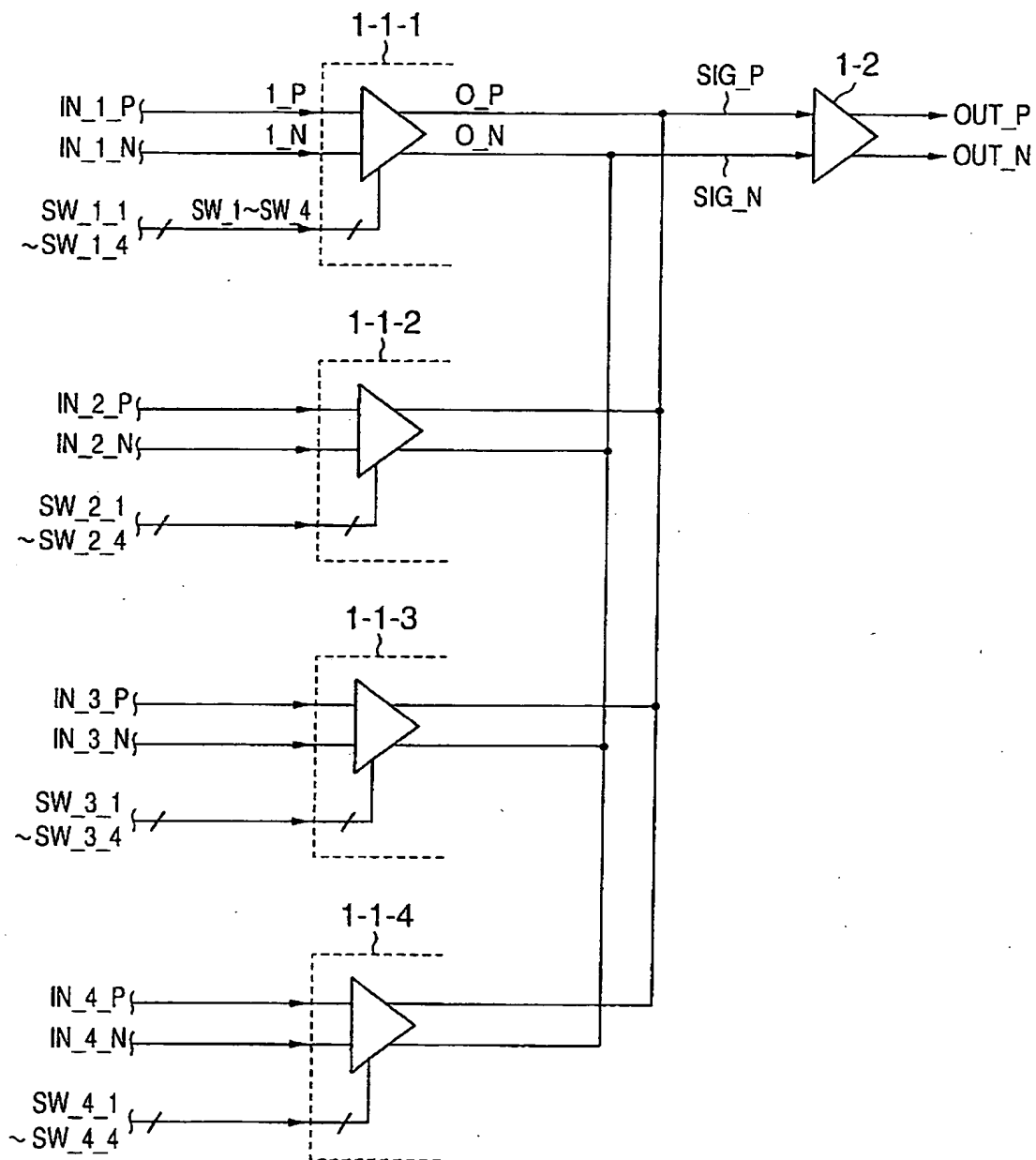
		状態A	状態B	状態C	状態D
n×m本のデジタル制御信号	SW_1_1	on	off	off	on
	SW_1_2	on	on	off	on
	SW_1_3	on	on	on	off
	⋮	⋮	⋮	⋮	⋮
	SW_1_m-1	on	on	on	off
	SW_1_m	on	on	on	off

	SW_2_1	off	on	on	off
	SW_2_2	off	off	on	off
	SW_2_3	off	off	off	off
	⋮	⋮	⋮	⋮	⋮
	SW_2_m-1	off	off	off	off
	SW_2_m	off	off	off	off

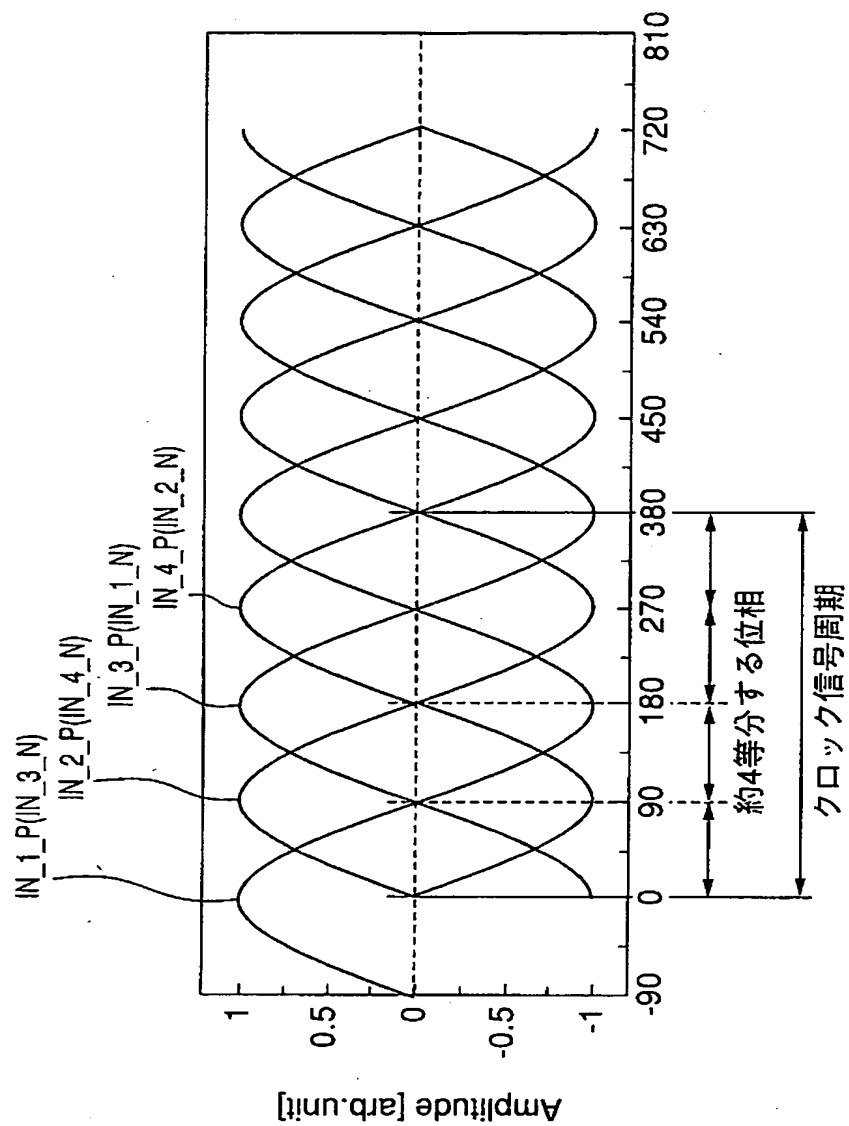
		off	off	off	off
	⋮	⋮	⋮	⋮	⋮
		off	off	off	off

	SW_n_1	off	off	off	off
	SW_n_2	off	off	off	off
	SW_n_3	off	off	off	on
	⋮	⋮	⋮	⋮	⋮
	SW_n_m-1	off	off	off	on
	SW_n_m	off	off	off	on

【図 4】



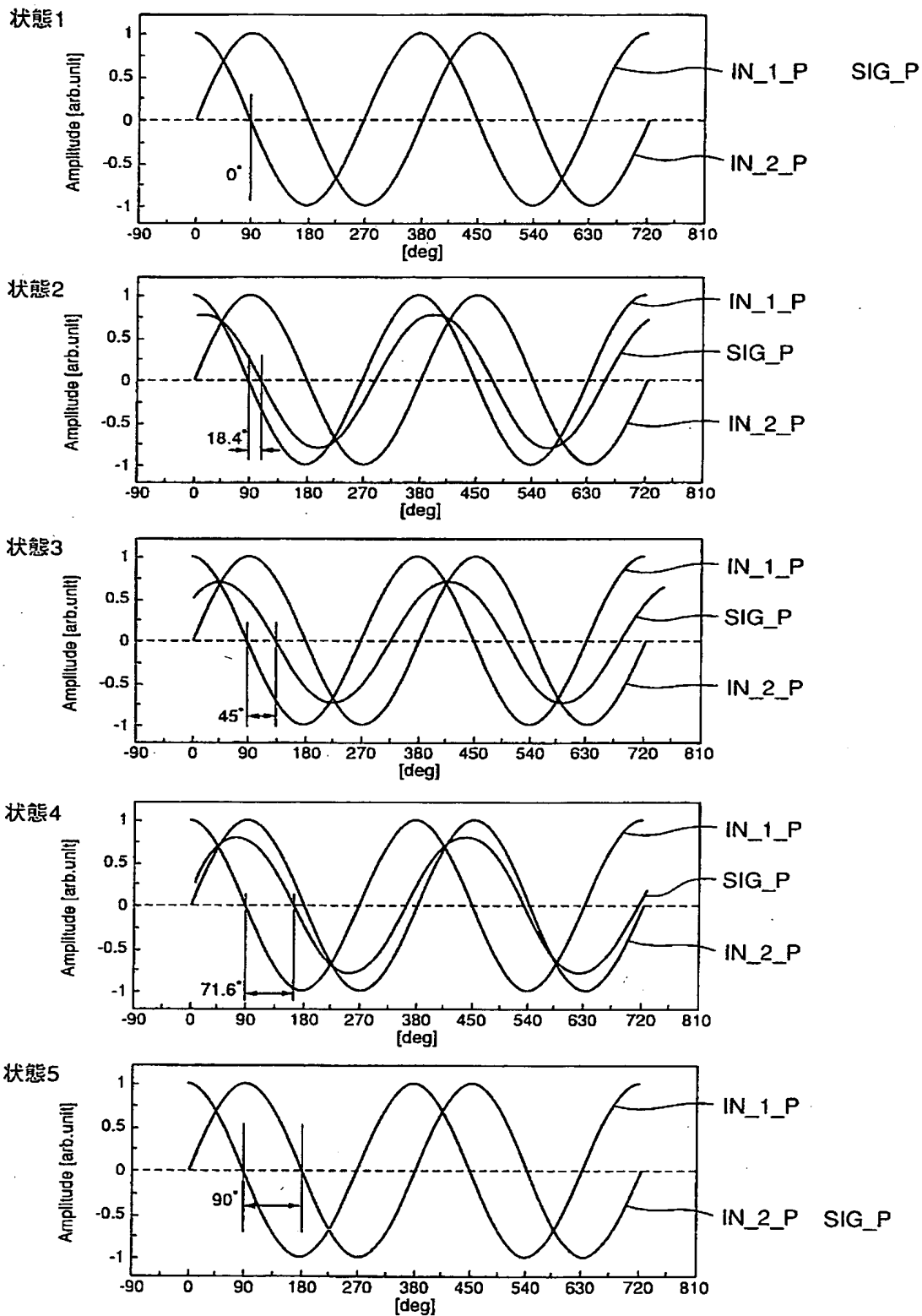
【図 5】



【図 6】

		状態1	状態2	状態3	状態4	状態5
4×4本のデジタル制御信号	SW_1_1	on	} 4個	off	off	off
	SW_1_2	on		off	off	off
	SW_1_3	on		} 3個	off	off
	SW_1_4	on			off	off
				} 2個	} 1個	
	SW_2_1	off	} 1個	on	on	on
	SW_2_2	off		} 2個	} 3個	on
	SW_2_3	off				on
	SW_2_4	off		off	off	on
						} 4個
	SW_2_1	off	off	off	off	
	SW_2_2	off	off	off	off	
	SW_2_3	off	off	off	off	
	SW_2_4	off	off	off	off	
	SW_2_1	off	off	off	off	off
	SW_2_2	off	off	off	off	off
	SW_2_3	off	off	off	off	off
	SW_2_4	off	off	off	off	off

【图 7】



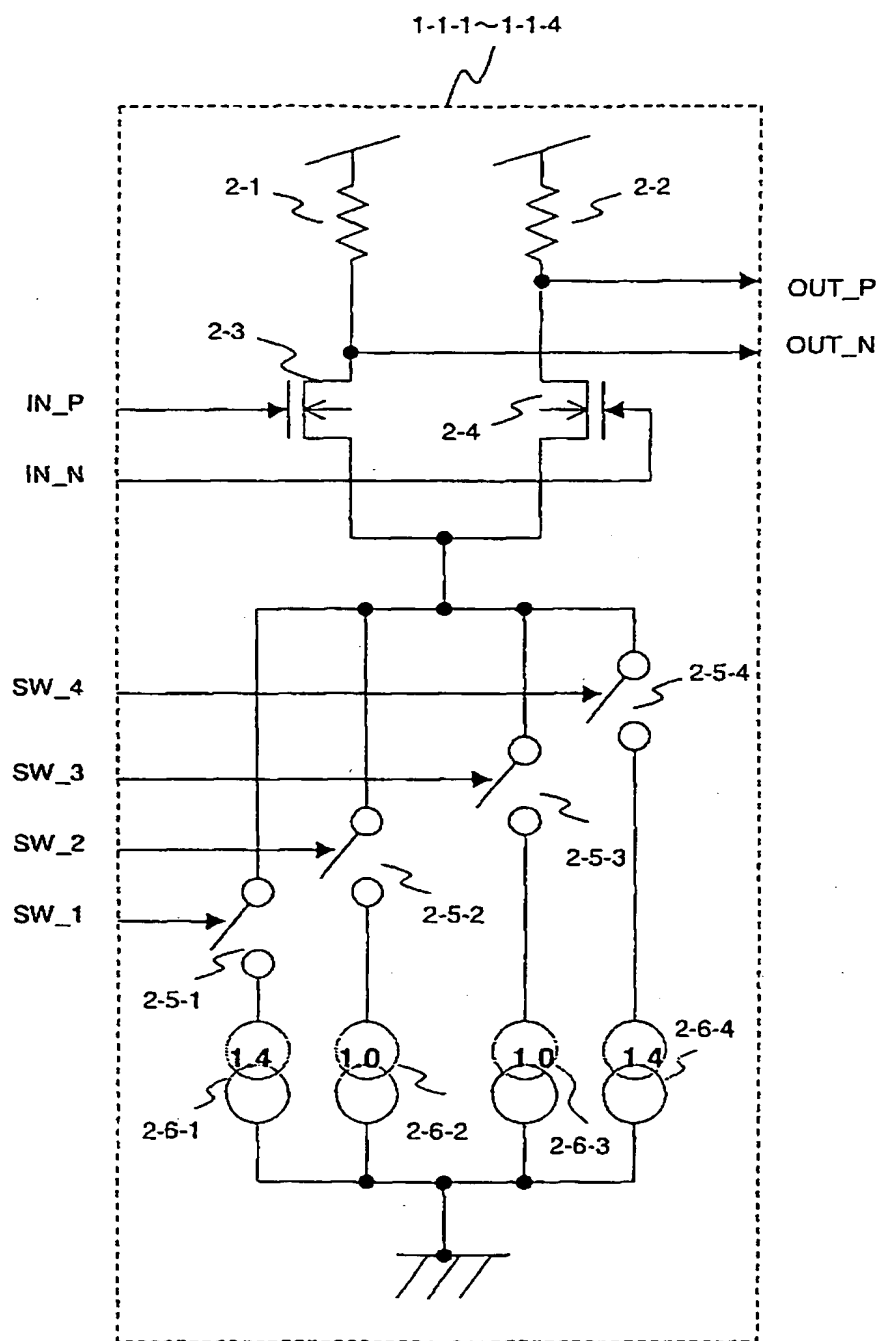
【図 8】

	状態 1	状態 2	状態 3
SW_1_1	on	off	off
SW_1_2	on	on	off
SW_1_3	on	on	on
SW_1_4	on	on	on
SW_2_1	off	on	on
SW_2_2	off	off	on
SW_2_3	off	off	off
SW_2_4	off	off	off
SW_2_1	off	off	off
SW_2_2	off	off	off
SW_2_3	off	off	off
SW_2_4	off	off	off
SW_2_1	off	off	off
SW_2_2	off	off	off
SW_2_3	off	off	off
SW_2_4	off	off	off

4 個(m 個)オン 4 個(m 個)オン 4 個(m 個)オン

5 個(m+1 個)オン 5 個(m+1 個)オン

【図 9】



【書類名】 要約書

【要約】

【課題】 外部ノイズによる影響を受け難く、制御信号に対して一意に対応した遅延量を付加して1周期以上の任意な無限遅延量を確保し得る簡素な回路構成のデジタル制御可変遅延回路を提供すること。

【解決手段】 この回路は、略 $1/n$ 周期ずつ位相シフトされた差動対で入力される n 組のクロック信号 $IN_1_P/N \sim IN_n_P/N$ の振幅をそれぞれ別途に入力される m ビットのデジタル制御信号 ($SW_1_1 \sim SW_1_m$) \sim ($SW_n_1 \sim SW_n_m$) により $m+1$ 通り (n, m は2以上の自然数) に可変させて出力する振幅制御手段 $1-1-1 \sim 1-1-n$ と、各振幅制御手段 $1-1-1 \sim 1-1-n$ から差動対で出力される信号を加算合成した差動対の加算信号 (SIG_P/N) を入力して波形整形した上で差動対の出力クロック信号 (OUT_P/N) として出力する波形整形手段 $1-2$ とを備えて成る。

【選択図】 図1

特願 2002-323821

出願人履歴情報

識別番号

[000004237]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

東京都港区芝五丁目7番1号

氏 名

日本電気株式会社